

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-183158

(43)Date of publication of application : 30.06.2000

(51)Int.Cl.

H01L 21/764  
H01L 21/768

(21)Application number : 10-354304

(71)Applicant : FUJITSU LTD

(22)Date of filing : 14.12.1998

(72)Inventor : YAMAGUCHI JO

FUKUYAMA SHUNICHI

NAKADA YOSHIHIRO

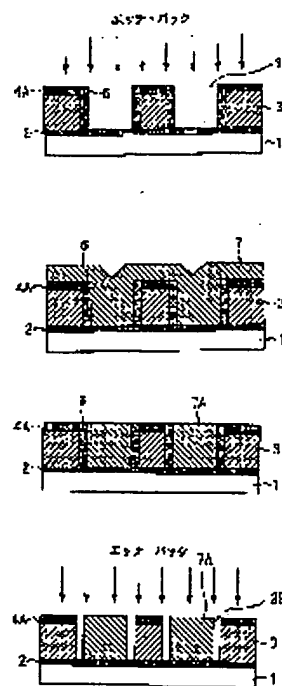
SUZUKI KATSUMI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To aim at lowering the dielectric constant of an interlayer insulating film and prevent the diffusion of copper by a method, wherein a space is formed between a wiring and the interlayer insulation film.

**SOLUTION:** An interlayer insulation film 3 made of hydrogen silsesquioxane of thickness 0.5  $\mu\text{m}$  is formed on an etching stop layer 2. With the use of a hard mask film 4 as the mask, the interlayer insulating film 3 is etched, to form a wiring groove 3A. Next, a space forming film 6 made of  $\text{SiO}_2$  of thickness 0.1  $\mu\text{m}$  is formed. Successively, a wiring film 7 made of copper of thickness 0.7  $\mu\text{m}$  is formed on a barrier metal film by plating method. Next, the wiring film 7 and barrier metal film outside the wiring groove 3A are polished, and a wiring 7A embedded in the wiring groove 3A is formed. By dry-etching with the use of  $\text{CF}_4+\text{O}_2$ , a space-forming film 6 is removed in the sidewall of the wiring groove 3A to form a space 3B. Thereby, it is possible to lower the dielectric constant of the interlayer insulation film 3, or to restrict diffusion of copper, and to obtain a multilayer wiring with little signal propagation delay.



---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-183158

(P2000-183158A)

(43) 公開日 平成12年6月30日 (2000.6.30)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テ-マ-ト (参考)

H 0 1 L 21/764

H 0 1 L 21/76

A 5 F 0 3 3

21/768

21/90

N

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号

特願平10-354304

(22) 出願日

平成10年12月14日 (1998. 12. 14)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 山口 城

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 福山 俊一

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100072833

弁理士 柏谷 昭司 (外2名)

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置及びその製造方法

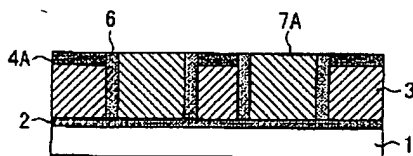
(57) 【要約】

【課題】 半導体集積回路装置及びその製造方法に関し、簡単な手段を採ることで、従来の層間絶縁膜に比較して低誘電率で、且つ、銅配線と組み合わせが可能な絶縁膜を実現させ、信号伝播遅延が少ない多層配線をもつ半導体集積回路装置が得られるようにする。

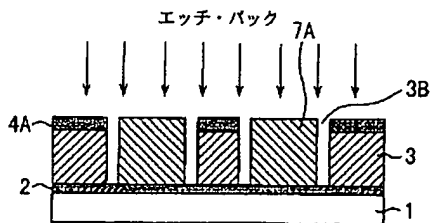
【解決手段】 配線7Aと配線脇に在る層間絶縁膜3との間に空間3Bが設けられた構造を備える。

工程要所に於ける半導体集積回路装置の要部切断側面図

(A)



(B)



3B : 空間  
7A : 配線

## 【特許請求の範囲】

【請求項 1】配線と配線脇に在る絶縁膜との間に空間が設けられた構造を備えてなることを特徴とする半導体集積回路装置。

【請求項 2】絶縁膜に配線溝を形成する工程と、  
次いで、該配線溝内に空間生成膜を形成してから配線を埋め込む工程と、  
次いで、空間生成膜を除去して配線と絶縁膜との間に空間を生成させる工程とが含まれてなることを特徴とする半導体集積回路装置の製造方法。

【請求項 3】下層絶縁膜にビア溝パターンをもつマスクを形成する工程と、  
次いで、上層絶縁膜を形成する工程と、  
次いで、上層絶縁膜に配線溝パターンをもつマスクを形成する工程と、  
次いで、上層絶縁膜及び下層絶縁膜をエッチングして配線溝及びビア溝を形成する工程と、  
次いで、該配線溝内及びビア溝内に空間生成膜を形成してからビア溝埋め込み導体及び配線を埋め込む工程と、  
次いで、空間生成膜を除去して配線と絶縁膜との間に空間を生成させる工程とが含まれてなることを特徴とする半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁膜を介して配置された配線に於ける信号伝播遅延を低減した半導体集積回路装置及びその製造方法に関する。

【0002】

【従来の技術】半導体集積回路装置では、集積度並びに素子密度が益々向上しつつあり、従って、半導体素子を多層化形成することが要求されている。

【0003】半導体集積回路装置の多層配線に於いては、信号伝播遅延の発生が問題になっているところであり、その信号伝播速度は、配線抵抗と配線間の寄生容量とに依って決定される。

【0004】一般に、半導体集積回路装置では、高集積化に起因して配線幅も配線間隔も狭くなり、配線抵抗の上昇及び配線間の寄生容量の増大を招来する原因になっている。

【0005】また、配線間に介在する絶縁膜の容量も小さくすることが好ましく、その為には、配線厚を薄くして且つ断面積を小さくすれば低減させることができるが、配線の抵抗が上昇してしまう為、信号伝播の高速化には繋がらない。

【0006】現在、半導体集積回路装置に於ける信号伝播の高速化には、低抵抗配線材料である銅の導入及び絶縁膜の低誘電率化が必須であるとされており、今後、高速デバイスの開発には、低抵抗配線材料の適用と絶縁膜の低誘電率化が成否を支配すると予測されている。

【0007】これを更に詳細に説明すると、一般に、配

線遅延 $T$ は、配線抵抗 $R$ 及び配線間の容量 $C$ に依る影響を受け、

$$T \propto CR \quad \dots (1)$$

なる式で表される。

【0008】式(1)に於ける配線間の容量 $C$ と絶縁膜の誘電率 $\epsilon_r$ との間には、電極面積を $S$ 、真空の誘電率を $\epsilon_0$ 、配線間隔を $d$ とすると、

$$C = \epsilon_0 \epsilon_r S / d \quad \dots (2)$$

なる式で表される。

10 【0009】従って、配線遅延 $T$ を小さくする為には、配線抵抗 $R$ を低下させると共に絶縁膜の低誘電率化が有効な手段であることが判る。

【0010】近年、低誘電率材料として、分子内に $Si-H$ を含むシリコーン樹脂（例えば商品名 $Fox$ ：ダウコーニング社（米国）、又は、商品名 $OCD-Type 12$ ：東京応化工業（日本）など）が開発されている。

【0011】この $Si-H$ を含むシリコーン樹脂に代表される塗布型半導体用絶縁材料は、熱処理条件を適切に選択することで低誘電率絶縁材料として使用できるのであるが、低抵抗配線材料の代表として期待されている銅と接した状態で用いた場合、200〔℃〕の熱処理で銅が簡単に拡散してしまう。

【0012】この銅の拡散は、銅膜と絶縁膜との間にバリヤ・メタル膜を形成することで抑止することは可能であるが、絶縁膜の誘電率が上昇して信号伝播遅延を招く旨の問題が起こり、銅を用いて配線を低抵抗化する意味が失われてしまう。

【0013】このように、アルミニウムに代わる低抵抗配線材料として期待されている銅、及び、低誘電率の絶縁膜を実用的デバイスに適用する場合、種々と未解決の問題が存在している状態にある。

【0014】そのような問題を解消する一環として、有機系低誘電率材料の評価を行ったのであるが、代表的な有機系低誘電率材料とし知られているフッ素系絶縁材料は、他の材料との密着性が良くないこと、また、ハイドロカーボン系材料は、酸化を受け易く且つ吸湿に依る誘電率変動があることが問題視されている。

【0015】従って、高速の半導体集積回路装置を実現する為に不可欠な低抵抗配線材料と低誘電率絶縁膜とを組み合わせる多層配線を形成することは、現在、実用可能になっていない段階にあり、また、その原因の中には製造工程上の幾つかの問題も含まれている。

【0016】即ち、従来から多用されてきた多層配線形成工程では、基板上に例えばアルミニウム膜を形成した後、ドライ・エッチングして配線を形成するのであるが、銅を用いる場合には適切なエッチング・ガスが存在しない為、アルミニウムを用いた場合のような工程は採用することができない。

【0017】従って、銅を配線材料とした場合、基板上に絶縁膜を形成してから、配線形成予定部分に対応する

絶縁膜に配線パターンを形成して銅を埋め込むダマシン (damascene) 法、或いは、配線と共にパイア・ホール (via-hole) を埋め込む導電プラグを同時に形成するデュアル・ダマシン法が実施されていて、何れもアルミニウムを配線材料とした場合に比較すると複雑な工程を採らざるを得ない。

【0018】さて、ここで、並列する金属配線相互間に在る通常の絶縁膜に於ける配線間容量を低減する為の注目すべき技術が開示されている。即ち、金属配線相互間に在る絶縁膜に空隙を導入し、金属配線間の容量を低減しようとする技術である (要すれば、「特開平7-326670号公報」、を参照)。

【0019】この空隙を導入した絶縁膜に依れば、従来の絶縁膜と同様の絶縁特性を十分に維持しながら、金属配線間の静電容量は低減することができるので、半導体集積回路装置の電気的特性は向上するというものである。

【0020】然しながら、前記公知発明の技術では、絶縁膜中に生成させる空隙のサイズを制御することができないので、誘電率の均一性、或いは、機械的強度などの面で信頼性が高い絶縁膜を実現することが困難であり、しかも、その絶縁膜を用いる場合、従来の多層配線形成工程でしか適用することができず、銅を用いたダマシン法、或いは、デュアル・ダマシン法を実施することは不可能である。

【0021】

【発明が解決しようとする課題】本発明では、簡単な手段を採ることで、従来の層間絶縁膜に比較して低誘電率で、且つ、銅配線と組み合わせが可能な絶縁膜を実現させ、信号伝播遅延が少ない多層配線をもつ半導体集積回路装置が得られるようにする。

【0022】

【課題を解決するための手段】本発明では、配線と層間絶縁膜との間に空間を生成させて、層間絶縁膜の低誘電率化及び銅の拡散防止を達成することが基本になっている。

【0023】前記したところから、本発明に依る半導体集積回路装置及びその製造方法に於いては、

(1) 配線 (例えば配線7A) と配線脇に在る絶縁膜 (例えば層間絶縁膜3) との間に空間 (例えば空間3B) が設けられた構造を備えてなることを特徴とするか、又は、

【0024】(2) 絶縁膜 (例えば層間絶縁膜3: 図1を参照) に配線溝 (例えば配線溝3A: 図1を参照) を形成する工程と、次いで、該配線溝内に空間生成膜 (例えば空間生成膜6: 図2参照) を形成してから配線 (例えば配線7A: 図4参照) を埋め込む工程と、次いで、空間生成膜を除去して配線と絶縁膜との間に空間 (例えば空間3B: 図4参照) を生成させる工程とが含まれてなることを特徴とするか、又は、

【0025】(3) 下層絶縁膜 (例えば層間絶縁膜23: 図11を参照) にビア溝パターンをもつマスク (例えばハード・マスク膜24A: 図11を参照) を形成する工程と、次いで、上層絶縁膜 (例えば第2層目の層間絶縁膜26: 図12を参照) を形成する工程と、次いで、上層絶縁膜に配線溝パターンをもつマスク (例えばハード・マスク膜27A) を形成する工程と、次いで、上層絶縁膜及び下層絶縁膜をエッチングして配線溝 (例えば配線溝26A) 及びビア溝 (例えばビア溝23A) を形成する工程と、次いで、該配線溝内及びビア溝内に空間生成膜 (例えば空間生成膜29: 図13を参照) を形成してからビア溝埋め込み導体 (例えばビア溝埋め込み導体30B) 及び配線 (例えば配線30A) を埋め込む工程と、次いで、空間生成膜を除去して配線と絶縁膜との間に空間 (例えば空間29B) を生成させる工程とが含まれてなることを特徴とする。

【0026】前記手段を採ることに依り、層間絶縁膜を低誘電率化することができ、また、配線材料に銅を用いても、銅が層間絶縁膜中に拡散することは少なくなり、従って、信号伝播遅延が少ない多層配線をもつ半導体集積回路装置を実現することができる。

【0027】

【発明の実施の形態】実施の形態1

図1乃至図7は本発明に於ける実施の形態1を説明する為の工程要所に於ける半導体集積回路装置を表す要部切断側面図であり、以下、これ等の図を参照しつつ説明する。

【0028】図1(A) 参照

1-(1)

Si半導体基板1にCVD (chemical vapor deposition) 法を適用し、厚さが30 [nm] であるSiNからなるエッチング停止層2を形成する。

【0029】1-(2)

スピン・コート法を適用し、エッチング停止層2上に厚さが0.5 [μm] のSi-H系材料である水素シルセスキオキサン (HSQ) からなる層間絶縁膜3を形成する。

【0030】1-(3)

CVD法を適用し、層間絶縁膜3上に厚さが0.1 [μm] のSiN膜4を形成する。

【0031】1-(4)

リソグラフィ技術に於けるレジスト・プロセスを適用し、SiN膜4上に配線パターンの開口5Aをもつレジスト膜5を形成する。

【0032】図1(B) 参照

1-(5)

CF<sub>4</sub> + O<sub>2</sub> をエッチング・ガスとするドライ・エッチング法を適用し、レジスト膜5をマスクとしてSiN膜4のエッチングを行ない、配線パターンの開口をもつハ

ード・マスク膜4Aを形成する。

【0033】1-(6)

CF<sub>4</sub> + O<sub>2</sub> をエッチング・ガスとするドライ・エッチング法を適用し、ハード・マスク膜4Aをマスクとして層間絶縁膜3のエッチングを行ない、配線溝3Aを形成する。

【0034】図2(A)参照

2-(1)

酸素プラズマを利用したドライ・エッチング法を適用し、ハード・マスク膜4Aを形成した際のエッチング・マスクとして使用したレジスト膜5を除去する。

【0035】図2(B)参照

2-(2)

CVD法を適用し、厚さが0.1[μm]であるSiO<sub>2</sub>からなる空間生成膜6を形成する。

【0036】図3(A)参照

3-(1)

酸素プラズマを利用したドライ・エッチング法を適用し、空間生成膜6のエッチ・バックを行って配線溝3Aの側壁に在る空間生成膜6以外を除去する。

【0037】図3(B)参照

3-(2)

スパッタリング法を適用し、厚さが0.05[μm]であるTiNからなるバリア金属膜(図示せず)を形成する。

【0038】3-(3)

鍍金法を適用し、バリア金属膜上に厚さが0.7[μm]の銅からなる配線膜7を形成する。

【0039】図4(A)参照

4-(1)

CMP(chemical mechanical polishing)法を適用し、配線溝外に在る配線膜7及びバリア金属膜を研磨することに依って除去し、配線溝内に埋め込まれた配線7Aを形成する。

【0040】図4(B)参照

4-(2)

CF<sub>4</sub> + O<sub>2</sub> をエッチング・ガスとするドライ・エッチング法を適用し、配線溝の側壁に在る空間生成膜6を除去して空間3Bを生成させる。尚、これで第1層目の配線が完成したことになる。

【0041】図5(A)参照

5-(1)

CVD法を適用し、全面に厚さが0.2[μm]のSiNからなるキャップ層8を形成する。

【0042】図5(B)参照

5-(2)

スピン・コート法を適用し、キャップ層8上に厚さが0.7[μm]のSi-H系材料の層間絶縁膜9を形成する。

【0043】5-(3)

CVD法を適用し、層間絶縁膜9上に厚さが0.1[μm]のSiN膜10を形成する。

【0044】5-(4)

リソグラフィ技術に於けるレジスト・プロセスを適用し、SiN膜10上にビア溝パターンの開口11Aをもつレジスト膜11を形成する。

【0045】図6(A)参照

6-(1)

CF<sub>4</sub> + O<sub>2</sub> をエッチング・ガスとするドライ・エッチング法を適用し、レジスト膜11をマスクとしてSiN膜10のエッチングを行ない、ビア溝パターンの開口をもつハード・マスク膜10Aを形成する。

【0046】6-(2)

CF<sub>4</sub> + O<sub>2</sub> をエッチング・ガスとするドライ・エッチング法を適用し、ハード・マスク膜10Aをマスクとして層間絶縁膜9のエッチングを行ない、ビア溝9Aを形成する。

【0047】6-(3)

酸素プラズマを利用したドライ・エッチング法を適用し、ハード・マスク膜10Aを形成した際のエッチング・マスクとして使用したレジスト膜11を除去する。

【0048】図6(B)参照

6-(3)

スパッタリング法を適用し、厚さが0.05[μm]のTiNからなるバリア金属膜(図示せず)を形成する。

【0049】6-(4)

鍍金法を適用し、バリア金属膜上に厚さが1.0[μm]の銅膜12を形成する。

【0050】図7参照

30 7-(1)

CMP法を適用し、ビア溝外の銅膜12及びバリア金属膜を研磨することに依って除去し、ビア溝内に埋め込まれたビア埋め込み導体12Aを形成する。

【0051】尚、これで第2層目の配線を形成するのに必要な下地構造が完成したことになる。

【0052】ところで、ビア埋め込み導体12Aには、配線7Aの側面に在る空間3Bに相当する空間は設けられていないが、これは、ビア埋め込み導体12Aが極めて狭小なものである為、その脇に空間を形成することは、現用プロセス技術で物理的に不可能なことに理由がある。

【0053】然しながら、ビア埋め込み導体12A及びその近傍の構造が誘電率の増加に及ぼす影響は、配線7Aとは比較にならないほど小さいので、實際上に於いては殆ど問題にならない。

【0054】本実施の形態では、前記工程を繰り返して4層配線を形成してコンタクト抵抗を測定したところ、2[Ω]以下が得られ、また、配線7A間の誘電率は2.5であった。

50 【0055】図8は実施の形態1に依って作成した多層

配線に於ける配線間の誘電率を表す線図であり、横軸には多層配線を形成してから放置した時間を、また、縦軸には誘電率をそれぞれ採っている。

【0056】図に依れば、本発明に依って作成された絶縁膜に於ける誘電率は、200〔時間〕放置した後も2.5以下を維持していて、その値は殆ど変わらないことが看取されよう。

#### 【0057】実施の形態2

実施の形態2は、実施の形態1と比較した場合、層間絶縁膜3の材料が相違すること、及び、空間生成膜6の材料が相違すること、を除き他の加工技術などは全く同じであるから、その相違点のみを挙げる。

【0058】層間絶縁膜3として、平均粒径が500〔Å〕のSiO<sub>2</sub>粒子を混合した厚さ0.5〔μm〕のシリコン樹脂（商品名 HPS：触媒化工業製）を材料とするポーラス（多孔質）系層間絶縁膜を用いること。

【0059】層間絶縁膜3に形成した配線溝3Aの側壁を覆う空間生成膜6として、CVD法で成膜した厚さ0.1〔μm〕のパリレン-Fを材料とする空間生成膜を用いること。

【0060】第2層目の層間絶縁膜9として、前記HPSからなるポーラス系層間絶縁膜を用いること。

【0061】実施の形態2では、実施の形態1と同様、同じ工程を繰り返して4層配線を形成してコンタクト抵抗を測定したところ、2〔Ω〕以下が得られ、また、配線間の誘電率は2.1であった。

【0062】図9は実施の形態2に依って作成した多層配線に於ける配線間の誘電率を表す線図であり、横軸には多層配線を形成してから放置した時間を、また、縦軸には誘電率をそれぞれ採っている。

【0063】図に依れば、本発明に依って作成された絶縁膜に於ける誘電率は、200〔時間〕放置した後も2.1以下を維持していて、その値は殆ど変わらないことが看取されよう。

#### 【0064】実施の形態3

実施の形態3は、実施の形態1と比較した場合、層間絶縁膜3の材料が相違すること、及び、層間絶縁膜3の材料が相違することに起因して配線溝を形成する工程を実施する時点が相違すること、を除き他の加工技術などは全く同じであるから、その相違点のみを挙げる。

【0065】層間絶縁膜3として、厚さ0.5〔μm〕のベンゾシクロブテン（BCB：ダウケミカル社製）を材料とする層間絶縁膜を用いること。

【0066】BCBからなる層間絶縁膜は酸素プラズマでエッチングされるので、SiNからなるハード・マスク膜4Aを形成した際のエッチング・マスクとして使用したレジスト膜5を除去する酸素プラズマに依るドライ・エッチング工程を利用して配線溝を形成すること。

【0067】第2層目の層間絶縁膜9として、前記BCBからなる層間絶縁膜を用いること。

【0068】本実施の形態では、実施の形態1と同様、同じ工程を繰り返して4層配線を形成してコンタクト抵抗を測定したところ、2〔Ω〕以下が得られ、また、配線間の誘電率は2.4であった。

【0069】図10は実施の形態3に依って作成した多層配線に於ける配線間の誘電率を表す線図であり、横軸には多層配線を形成してから放置した時間を、また、縦軸には誘電率をそれぞれ採っている。

【0070】図に依れば、本発明に依って作成された絶縁膜に於ける誘電率は、200〔時間〕放置した後も2.4以下を維持していて、その値は殆ど変わらないことが看取されよう。

【0071】実施の形態1乃至3は、ダマシン法を実施した場合であるが、次に、デュアル・ダマシン法を実施する場合について説明する。

#### 【0072】実施の形態4

図11乃至図15は本発明に於ける実施の形態4を説明する為の工程要所に於ける半導体集積回路装置を表す要部切断断面図であり、以下、これ等の図を参照しつつ説明する。

【0073】図11（A）参照

11-（1）

Si半導体基板21にCVD法を適用し、厚さが30〔nm〕であるSiNからなるエッチング停止層22を形成する。

【0074】11-（2）

スピン・コート法を適用し、エッチング停止層22上に厚さが0.8〔μm〕であるHSQからなる層間絶縁膜23を形成する。

【0075】11-（3）

CVD法を適用し、層間絶縁膜23上に厚さが0.1〔μm〕のSiN膜24形成する。

【0076】11-（4）

リソグラフィ技術に於けるレジスト・プロセスを適用し、SiN膜24上にビア溝パターンの開口25Aをもつレジスト膜25を形成する。

【0077】図11（B）参照

11-（5）

CF<sub>4</sub>+O<sub>2</sub>をエッチング・ガスとするドライ・エッチング法を適用し、レジスト膜25をマスクとしてSiN膜24のエッチングを行ない、ビア溝パターンの開口をもつハード・マスク膜24Aを形成する。

【0078】11-（6）

酸素プラズマを利用したドライ・エッチング法を適用し、ハード・マスク膜24Aを形成した際のエッチング・マスクとして使用したレジスト膜25を除去する。

【0079】図12（A）参照

12-（1）

スピン・コート法を適用し、全面に厚さが0.5 [ $\mu$ m]であるHSQからなる第2層目の層間絶縁膜26を形成する。

【0080】12-(2)

CVD法を適用し、層間絶縁膜26上に厚さが0.1 [ $\mu$ m]のSiN膜27形成する。

【0081】12-(4)

リソグラフィ技術に於けるレジスト・プロセスを適用し、SiN膜27上に配線パターンの開口28Aをもつレジスト膜28を形成する。

【0082】図12(B)参照

12-(5)

CF<sub>4</sub>+O<sub>2</sub>をエッチング・ガスとするドライ・エッチング法を適用し、レジスト膜28をマスクとしてSiN膜27のエッチングを行ない、配線パターンの開口をもつハード・マスク膜27Aを形成する。

【0083】12-(6)

酸素プラズマを利用したドライ・エッチング法を適用し、ハード・マスク膜27Aを形成した際のエッチング・マスクとして使用したレジスト膜28を除去する。

【0084】図13(A)参照

13-(1)

CF<sub>4</sub>+O<sub>2</sub>をエッチング・ガスとするドライ・エッチング法を適用し、ハード・マスク膜27Aをマスクとして層間絶縁膜26のエッチングを行なって配線溝26Aを形成し、引き続き、ハード・マスク膜24Aをマスクとして層間絶縁膜23のエッチングを行ってビア溝23Aを形成する。

【0085】図13(B)参照

13-(2)

CVD法を適用し、厚さが0.1 [ $\mu$ m]であるバリレンFからなる空間生成膜29を形成する。

【0086】図14(A)参照

14-(1)

酸素プラズマを利用したドライ・エッチング法を適用し、空間生成膜29のエッチ・バックを行って配線溝26Aの側壁に在る空間生成膜29及びビア溝23Aの側壁に在る空間生成膜29以外を除去する。

【0087】図14(B)参照

14-(2)

スパッタリング法を適用し、厚さが0.02 [ $\mu$ m]であるTiNからなるバリア金属膜(図示せず)を形成する。

【0088】14-(3)

鍍金法を適用し、バリア金属膜上に厚さが1.8 [ $\mu$ m]の銅からなる配線膜30を形成する。

【0089】図15参照

15-(1)

CMP法を適用し、配線溝外に在る配線膜30及びバリア金属膜を研磨することに依って除去し、配線溝内に埋

め込まれた配線30A及びビア埋め込み導体30Bを形成する。

【0090】15-(2)

酸素プラズマを利用したドライ・エッチング法を適用し、配線溝の側壁に在る空間生成膜29を除去して空間29Bを生成させる。尚、これで第2層目の配線を形成するのに必要な下地構造が完成したことになる。

【0091】本実施の形態では、前記工程を繰り返して4層配線を形成してコンタクト抵抗を測定したところ、2 [ $\Omega$ ]以下が得られ、また、配線30A間の誘電率は2.4であった。

【0092】図16は実施の形態4に依って作成した多層配線に於ける配線間の誘電率を表す線図であり、横軸には多層配線を形成してから放置した時間を、また、縦軸には誘電率をそれぞれ採ってある。

【0093】図に依れば、本発明に依って作成された絶縁膜に於ける誘電率は、200[時間]放置した後も2.4以下を維持していて、その値は殆ど変わらないことが看取されよう。

【0094】

【発明の効果】本発明に依る半導体集積回路装置及びその製造方法に於いては、配線と配線脇に在る絶縁膜との間に空間が設けられた構造を実現する。

【0095】前記構成を採ることに依り、層間絶縁膜を低誘電率化することができ、また、配線材料に銅を用いても、銅が層間絶縁膜中に拡散することは少なくなり、従って、信号伝播遅延が少ない多層配線をもつ半導体集積回路装置を実現することができる。

【図面の簡単な説明】

【図1】本発明に於ける実施の形態1を説明する為の工程要所に於ける半導体集積回路装置を表す要部切断側面図である。

【図2】本発明に於ける実施の形態1を説明する為の工程要所に於ける半導体集積回路装置を表す要部切断側面図である。

【図3】本発明に於ける実施の形態1を説明する為の工程要所に於ける半導体集積回路装置を表す要部切断側面図である。

【図4】本発明に於ける実施の形態1を説明する為の工程要所に於ける半導体集積回路装置を表す要部切断側面図である。

【図5】本発明に於ける実施の形態1を説明する為の工程要所に於ける半導体集積回路装置を表す要部切断側面図である。

【図6】本発明に於ける実施の形態1を説明する為の工程要所に於ける半導体集積回路装置を表す要部切断側面図である。

【図7】本発明に於ける実施の形態1を説明する為の工程要所に於ける半導体集積回路装置を表す要部切断側面図である。



【図 8】実施の形態 1 に依って作成した多層配線に於ける配線間の誘電率を表す線図である。

【図 9】実施の形態 2 に依って作成した多層配線に於ける配線間の誘電率を表す線図である。

【図 10】実施の形態 3 に依って作成した多層配線に於ける配線間の誘電率を表す線図である。

【図 11】本発明に於ける実施の形態 4 を説明する為の工程要所に於ける半導体集積回路装置を表す要部切断側面図である。

【図 12】本発明に於ける実施の形態 4 を説明する為の工程要所に於ける半導体集積回路装置を表す要部切断側面図である。

【図 13】本発明に於ける実施の形態 4 を説明する為の工程要所に於ける半導体集積回路装置を表す要部切断側面図である。

【図 14】本発明に於ける実施の形態 4 を説明する為の工程要所に於ける半導体集積回路装置を表す要部切断側面図である。

【図 15】本発明に於ける実施の形態 4 を説明する為の工程要所に於ける半導体集積回路装置を表す要部切断側面図である。

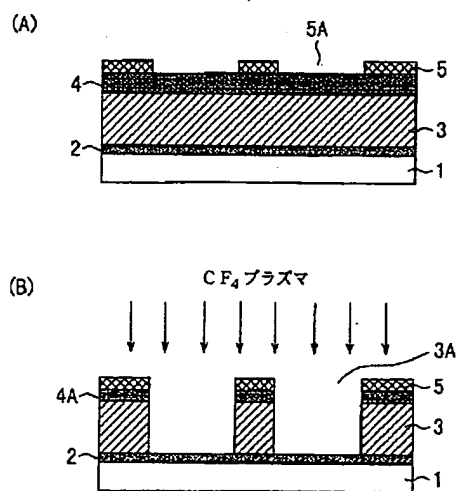
【図 16】実施の形態 4 に依って作成した多層配線に於ける配線間の誘電率を表す線図である。

# 【符号の説明】

- 1 Si 半導体基板
- 2 エッチング停止層
- 3 層間絶縁膜
- 3A 配線溝
- 3B 空間
- 4 SiN 膜
- 4A ハード・マスク膜
- 5 レジスト膜
- 5A 開口
- 6 空間生成膜
- 7 配線膜
- 7A 配線
- 8 キャップ層
- 9 層間絶縁膜
- 9A ビア溝
- 10 SiN 膜
- 10A ハード・マスク膜
- 11 レジスト膜
- 11A 開口
- 12 銅膜
- 12A ビア埋め込み導体

【図 1】

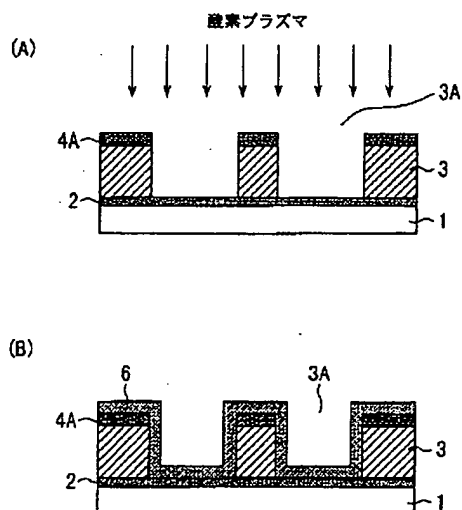
工程要所に於ける半導体集積回路装置の要部切断側面図



- 1 : 基板
- 2 : エッチング停止層
- 3 : 層間絶縁膜
- 3A : 配線溝
- 4 : SiN 膜
- 4A : ハード・マスク膜
- 5 : レジスト膜
- 5A : 開口

【図 2】

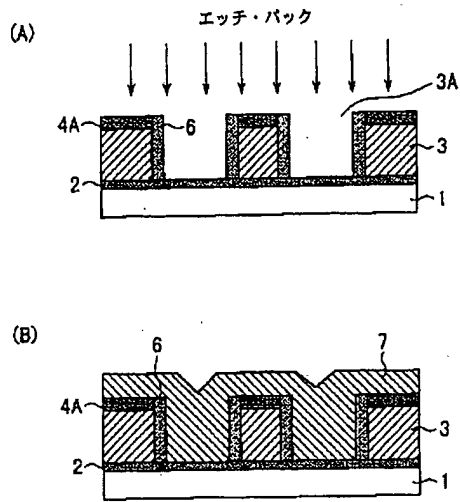
工程要所に於ける半導体集積回路装置の要部切断側面図



- 6 : 空間生成膜

【図 3】

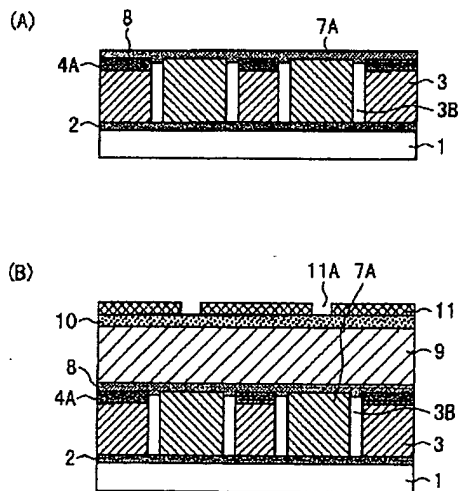
工程要所に於ける半導体集積回路装置の要部切断側面図



7 : 配線膜

【図 5】

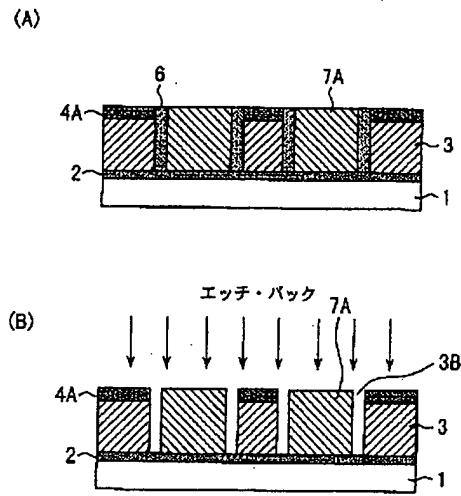
工程要所に於ける半導体集積回路装置の要部切断側面図



8 : キャップ層  
 9 : 層間絶縁膜 (第2層目)  
 10 : SiN膜  
 11 : レジスト膜  
 11A : 開口

【図 4】

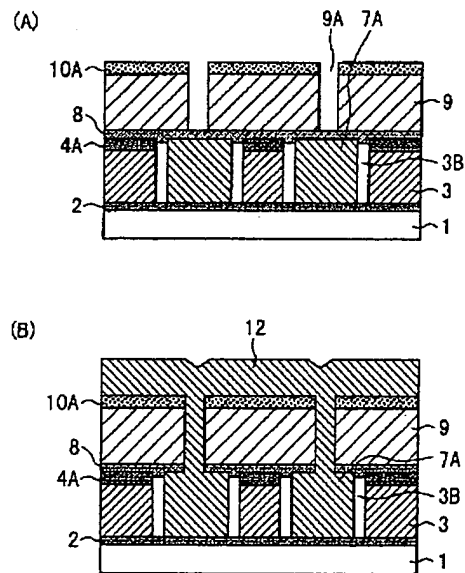
工程要所に於ける半導体集積回路装置の要部切断側面図



3B : 空間  
 7A : 配線

【図 6】

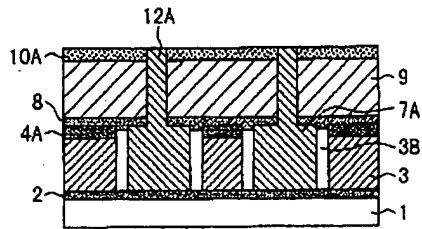
工程要所に於ける半導体集積回路装置の要部切断側面図



9A : ピア溝  
 10A : ハード・マスク膜  
 12 : 銅膜

【図 7】

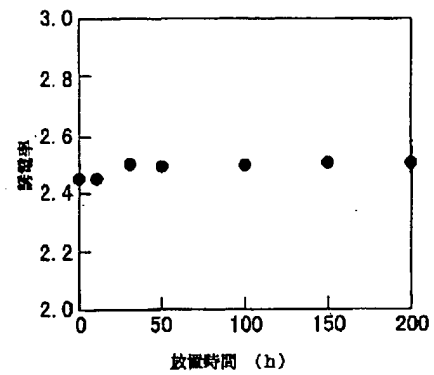
工程要所に於ける半導体集積回路装置の要部切断側面図



12A: ピア埋め込み導体

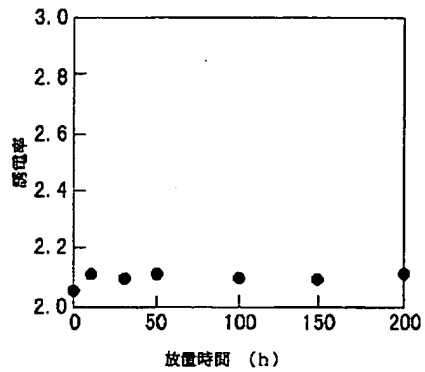
【図 8】

配線間の誘電率を表す線図



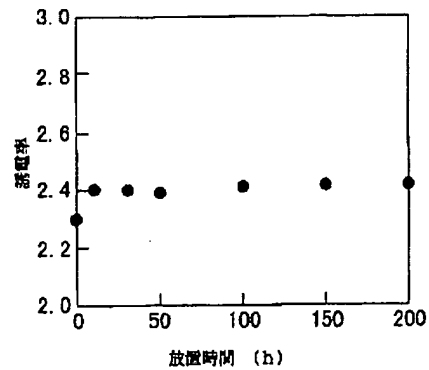
【図 9】

配線間の誘電率を表す線図



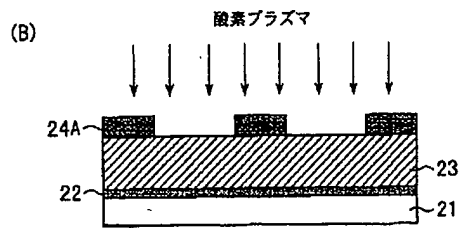
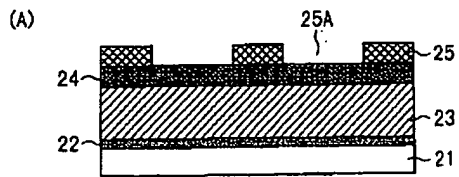
【図 10】

配線間の誘電率を表す線図



【図 11】

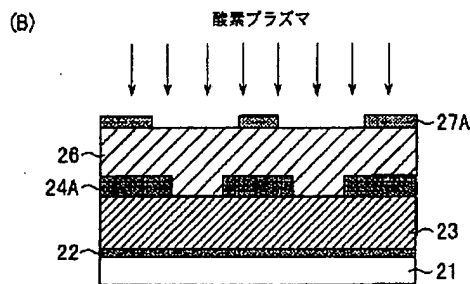
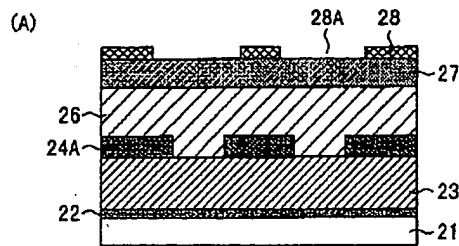
工程要所に於ける半導体集積回路装置の要部切断側面図



21: 基板  
22: エッチング停止層  
23: 層間絶縁膜  
24: SiN膜  
24A: ハード・マスク膜  
25: レジスト膜  
25A: 開口

【図 12】

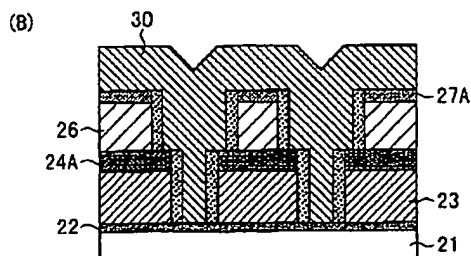
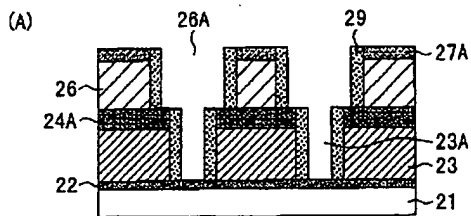
工程要所に於ける半導体集積回路装置の要部切断側面図



26: 層間絶縁膜 (第2層目)  
27: SiN膜  
27A: ハード・マスク膜  
28: レジスト膜  
28A: 開口

【図 14】

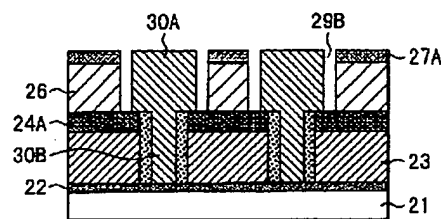
工程要所に於ける半導体集積回路装置の要部切断側面図



30: 配線膜

【図 15】

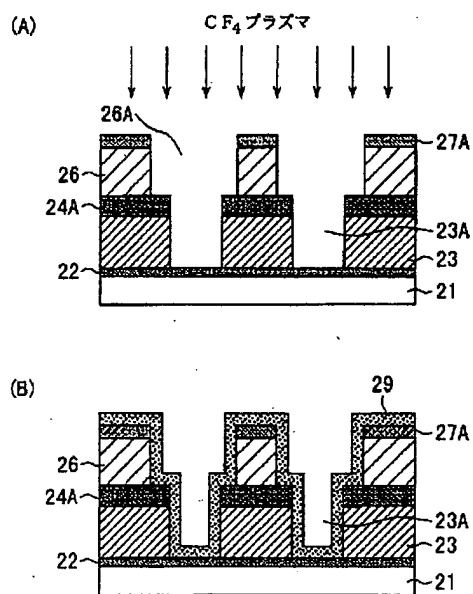
工程要所に於ける半導体集積回路装置の要部切断側面図



29B: 空間  
30A: 配線  
30B: ピア埋め込み導体

【図 13】

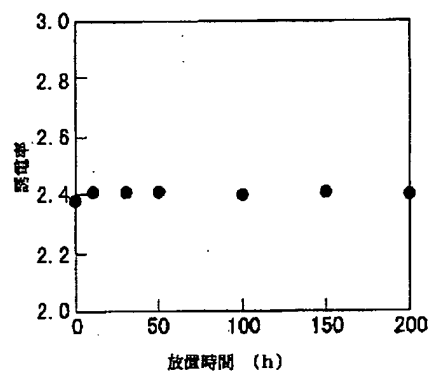
工程要所に於ける半導体集積回路装置の要部切断側面図



23A : ピア溝  
 26A : 配線溝  
 29 : 空間生成膜

【図 16】

配 間の誘電率を表す線図



フロントページの続き

(72)発明者 中田 義弘  
 神奈川県川崎市中原区上小田中 4 丁目 1 番  
 1 号 富士通株式会社内  
 (72)発明者 鈴木 克己  
 神奈川県川崎市中原区上小田中 4 丁目 1 番  
 1 号 富士通株式会社内

Fターム(参考) 5F033 JJ11 JJ33 KK11 KK33 MM01  
 MM02 MM12 MM13 NN06 NN07  
 PP15 PP26 QQ09 QQ11 QQ21  
 QQ25 QQ28 QQ30 QQ31 QQ37  
 QQ48 RR04 RR21 RR23 RR25  
 RR30 SS11 SS21 XX27